

August 2, 2000

?s pn=ep 883171  
S5 1 PN=EP 883171  
?t s5/19/

5/19/1

DIALOG(R)File 351:DERWENT WPI  
(c) 2000 Derwent Info Ltd. All rts. reserv.

012205838 \*\*Image available\*\*  
WPI Acc No: 1999-011944/199902  
XRPX Acc No: N99-009029

**Integrated circuit chip encapsulation method - forms series of fixing zones on common substrate with attachment of chips and encapsulation of whole assembly prior to cutting apart individually encapsulated integrated circuits**

Patent Assignee: SGS THOMSON MICROELTRN SA (SGSA ); STMICROELECTRONICS SA (SGSA )

Inventor: CIGADA A; EXPOSITO J; HERARD L  
Number of Countries: 026 Number of Patents: 004  
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 883171	A1	19981209	EP 98401318	A	19980602	199902 B
FR 2764111	A1	19981204	FR 976808	A	19970603	199904
JP 11074296	A	19990316	JP 98152632	A	19980602	199921
JP 3013347	B2	20000228	JP 98152632	A	19980602	200015

Priority Applications (No Type Date): FR 976808 A 19970603

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
EP 883171	A1	F	10	H01L-021/56	
Designated States (Regional): AL AT BE CH CY DE DK ES FI FR GB GR IE IT LI LT LU LV MC MK NL PT RO SE SI					
JP 3013347	B2		5	H01L-021/56	Previous Publ. patent JP 11074296
JP 11074296	A		19	H01L-021/56	
FR 2764111	A1			H01L-021/56	

Abstract (Basic): EP 883171 A

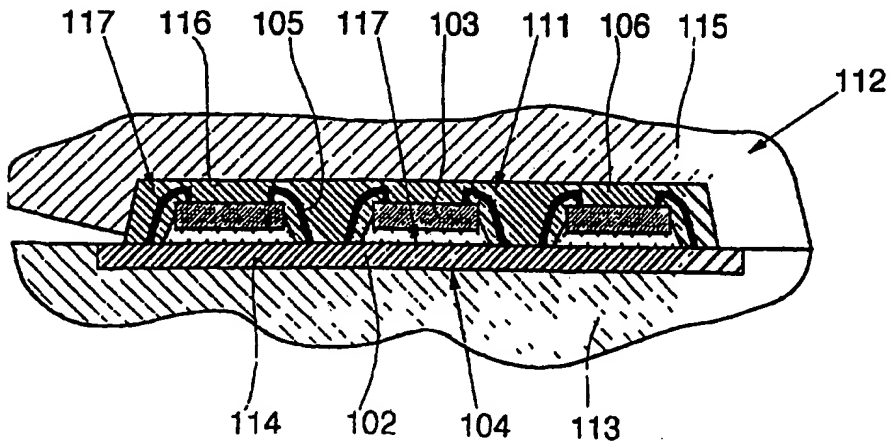
The procedure involves forming a large number of groups of connection zones (104) on a common support substrate (102) by a matrix technique. These correspond to each of the fixing zones of the integrated circuit chips. A chip (103) is fixed on to each zone, and each chip is electrically connected to the associated electrical connection zones (104).

This allows the formation of a flat assembly (111) of connected chip - substrate units. The procedure includes a second stage of placing this assembly (111) in a mould (112) and injecting a coating material (106) into the mould. This allows formation of a parallelepiped block (117) in a single operation. In a final stage the parallelepiped box (117) is cut through its thickness in order to form a semiconductor casing structure.

**ADVANTAGE** - Allows use of common system for encapsulating semiconductor chip circuits with common mould, reducing cost by using common system instead of various moulds.

Dwg.6/9

August 2, 2000



Title Terms: INTEGRATE; CIRCUIT; CHIP; ENCAPSULATE; METHOD; FORM; SERIES;  
FIX; ZONE; COMMON; SUBSTRATE; ATTACH; CHIP; ENCAPSULATE; WHOLE; ASSEMBLE;  
PRIOR; CUT; APART; INDIVIDUAL; ENCAPSULATE; INTEGRATE; CIRCUIT

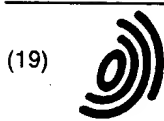
Derwent Class: U11

International Patent Class (Main): H01L-021/56

File Segment: EPI

Manual Codes (EPI/S-X): U11-D01A6; U11-E02A1

?



Europäisches Patentamt  
European Patent Office  
Office européen des brevets



(11) EP 0 883 171 A1

(12) DEMANDE DE BREVET EUROPEEN

(43) Date de publication:  
09.12.1998 Bulletin 1998/50

(51) Int Cl.<sup>6</sup>: H01L 21/56

(21) Numéro de dépôt: 98401318.5

(22) Date de dépôt: 02.06.1998

(84) Etats contractants désignés:  
AT BE CH CY DE DK ES FI FR GB GR IE IT LI LU  
MC NL PT SE  
Etats d'extension désignés:  
AL LT LV MK RO SI

(72) Inventeurs:  
• Exposito, Juan  
38330 St. Nazaire les Eymes (FR)  
• Herard, Laurent  
38000 Grenoble (FR)  
• Cigada, Andrea  
20155 Milan (IT)

(30) Priorité: 03.06.1997 FR 9706808

(71) Demandeur: SGS-THOMSON  
MICROELECTRONICS S.A.  
94250 Gentilly (FR)

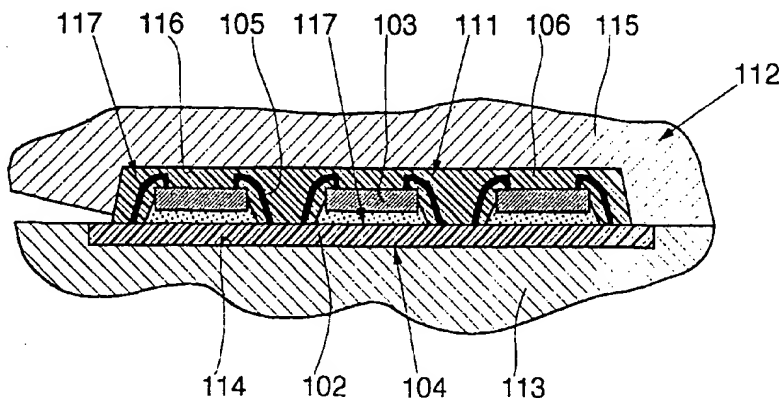
(74) Mandataire: Casalunga, Axel  
BUREAU D.A. CASALONGA - JOSSE  
Morassistrasse 8  
80469 München (DE)

(54) Procédé de fabrication de boîtiers semi-conducteurs comprenant un circuit intégré

(57) Procédé de fabrication de boîtiers semi-conducteurs comprenant respectivement un substrat, une pastille formant un circuit intégré et fixée sur une zone du substrat, des moyens de connexion électrique reliant la pastille à un groupe de zones de connexion électrique extérieure situées sur une face du substrat, ainsi qu'un enrobage d'encapsulation. Le procédé consiste à réaliser de façon matricielle une multiplicité de groupes de zones de connexion (104a) sur une plaque commune de substrat (102), correspondant à autant de zones (109) de fixation de pastilles, à fixer une pastille (103) sur chaque zone (109) de fixation de la plaque commu-

ne de substrat, à relier électriquement chaque pastille (103) aux zones (104a) de connexion électrique associées, de façon à obtenir un assemblage (111) plaque de substrat-pastilles connectés. Le procédé consiste, dans une seconde étape à disposer cet assemblage (111) dans un moule (112) et à injecter une matière d'enrobage (106) dans le moule de façon à obtenir, en une seule opération de moulage, un bloc parallélépipédique (117), puis, dans une étape ultérieure, à découper ledit bloc parallélépipédique (117) au travers de son épaisseur en unités constituant chacune un boîtier semi-conducteur.

FIG.6



EP 0 883 171 A1

## Description

La présente invention concerne un procédé de fabrication de boîtiers semi-conducteurs comprenant respectivement un substrat, une pastille formant un circuit intégré et fixé sur une zone du substrat, des moyens de connexion électrique reliant la pastille à des zones de connexion électrique extérieure situées sur une face du substrat, ainsi qu'un enrobage d'encapsulation en résine.

En principe et de façon habituelle, les zones de connexion électrique extérieure et la pastille sont disposées de part et d'autre du substrat et l'enrobage enveloppe, d'un côté du substrat, la pastille et les moyens de connexion électrique.

Dans la technique de fabrication actuellement utilisée, on réalise individuellement l'enrobage de chacune des pastilles fixées et connectées sur une plaque de substrat en disposant cette plaque dans un moule qui présente autant de cavités individuelles que de pastilles. Puis on coupe le substrat entre chaque enrobage. Cette solution nécessite la fabrication, l'utilisation et le stockage d'autant de moules différents d'injection d'enrobage que l'on a de boîtiers différents présentant des dimensions de pastilles différentes et des dispositions différentes de ces pastilles sur une plaque de substrat. De même, il faut disposer d'un outil de découpe particulier attribué à chaque dimension de pastille et à chaque dimension de plaque de substrat.

Le but de la présente invention est de proposer un procédé de fabrication de boîtiers semi-conducteurs susceptibles de permettre des économies de fabrication et d'obtenir une plus grande flexibilité de production.

Le procédé selon l'invention est destiné à la fabrication de boîtiers semi-conducteurs comprenant respectivement un substrat, une pastille formant un circuit intégré et fixée sur une zone du substrat, des moyens de connexion électrique reliant la pastille à un groupe de zones de connexion électrique extérieure situées sur une face du substrat, ainsi qu'un enrobage d'encapsulation.

Selon l'invention, le procédé consiste à réaliser de façon matricielle une multiplicité de groupes de zones de connexion sur une plaque commune de substrat, correspondant à autant de zones de fixation de pastilles, à fixer une pastille sur chaque zone de fixation de la plaque commune de substrat, à relier électriquement chaque pastille aux zones de connexion électrique associées, de façon à obtenir un assemblage plaque de substrat-pastilles connectés. Selon l'invention, le procédé consiste, dans une seconde étape, à disposer cet assemblage dans un moule et à injecter une matière d'enrobage dans le moule de façon à obtenir, en une seule opération de moulage, un bloc parallélépipédique, et, dans une étape ultérieure, à découper ledit bloc parallélépipédique au travers de son épaisseur en unités constituant chacune un boîtier semi-conducteur.

Selon une variante préférée de l'invention, le pro-

cédé consiste à réaliser la découpe du bloc parallélépipédique par sciage.

Selon l'invention, le procédé consiste de préférence à coller le bloc parallélépipédique sur une bande autocollante pelable et à réaliser l'opération de sciage en engageant la scie au travers du bloc au-delà de sa face collée sur cette bande.

Selon l'invention, le procédé consiste, de préférence, à coller la face du bloc parallélépipédique exempte de zones de connexion sur la bande autocollante.

Selon l'invention, le procédé consiste de préférence à déposer des billes ou boules en matériau de soudage sur les zones de connexion.

La présente invention sera mieux comprise à l'étude d'un procédé de fabrication de boîtiers semi-conducteurs décrit à titre d'exemple non limitatif et illustré par le dessin sur lequel :

- la figure 1 représente schématiquement une coupe transversale d'un boîtier semi-conducteur obtenu par le procédé selon l'invention ;
- la figure 2 représente une vue frontale dudit boîtier ;
- la figure 3 montre schématiquement une première étape du procédé selon l'invention et représente en coupe transversale une plaque de substrat munie de pastilles ;
- la figure 4 représente une vue frontale de la face de ladite plaque de substrat apposée aux pastilles ;
- la figure 5 montre schématiquement une étape suivante du procédé selon l'invention et représente ladite plaque de substrat munie de pastilles connectées électriquement par des fils ;
- la figure 6 montre schématiquement une étape suivante de l'invention consistant en l'encapsulation dans un moule représenté en coupe desdites pastilles et desdits fils ;
- la figure 7 représente une vue arrière du bloc sortant dudit moule ;
- la figure 8 montre schématiquement une étape suivante du procédé selon l'invention et représente une coupe transversale dudit bloc ;
- et la figure 9 montre schématiquement une étape suivante du procédé selon l'invention et représente une coupe transversale dudit bloc lors d'une opération de sciage de ce bloc.

En se reportant aux figures 1 et 2, on voit qu'un boîtier semi-conducteur parallélépipédique, repéré d'une manière générale par la référence 1, obtenu par le procédé de fabrication qui va maintenant être décrit, comprend un substrat plat 2 par exemple de contour carré, une pastille 3 fixée à une face 2a du substrat 2 grâce à une couche mince de colle 3a, une multiplicité de zones 4 de connexion électrique extérieures réparties sur la face 2b du substrat 2 opposée à sa face 2a, des moyens de connexion électrique reliant sélectivement la pastille 3 et les zones de connexion électrique 4 et comprenant des fils de connexion électrique 5 aboutissant au subs-

trat 2 et des connexions internes à ce substrat non représentées, ainsi qu'un enrobage en résine 6 d'encapsulation de la pastille 3 et des fils de connexion 5, cet enrobage 6 étant situé du côté de la face 2a du substrat 2. En outre, le boîtier semi-conducteur 1 est muni de gouttes ou boules de connexion 7 sur chacune des zones de connexion électrique 4, en vue de la soudure et de la connexion électrique du boîtier semi-conducteur 1 par exemple aux pistes d'une plaque de circuit imprimé.

En se reportant à la figure 4, on voit que le procédé de fabrication décrit consiste à réaliser, sur une face 102a d'une plaque commune de substrat 102 rectangulaire, une multiplicité de groupes 104 de zones de connexion électrique 104a et de moyens de connexion électrique traversant la plaque commune de substrats 102 et reliés aux zones 104a.

Dans l'exemple représenté, les groupes 104 sont disposés sous une présentation en forme de matrice sur la face 102a et sont au nombre de cinq dans le sens de la largeur de la plaque commune de substrat 102 et au nombre de vingt dans le sens de sa longueur, l'espace séparant les groupes des cinquième et sixième rangées, dixième et onzième rangées et quinzième et seizième rangées dans le sens de la longueur de la plaque commune de substrat 102 étant plus large de manière à former quatre ensembles 108 de vingt cinq groupes 104 espacés de la longueur de la plaque commune de substrat 102.

En se reportant à la figure 5, on voit que l'étape suivante du procédé de fabrication décrit consiste à fixer une multiplicité de pastilles 103 respectivement sur des zones de fixation 109 de la face 102b de la plaque commune de substrat 102 opposée à sa face 102a, à l'aide de minces couches de colle 103a. Les pastilles 103 se trouvent alors disposées sous une présentation en forme de matrice correspondant au travers de la plaque commune de substrat 102 aux groupes 104 de zones de connexion électrique 104a.

En se reportant à la figure 5, on voit que l'étape suivante du procédé de fabrication décrit consiste à relier sélectivement les plots de connexion 110 des pastilles 103 aux moyens de connexion de la plaque commune de substrat 102 en leur connectant les extrémités de fils de connexion électrique 105 qui se trouvent alors en l'air, de façon à relier les plots de chaque pastille 103 sélectivement aux zones de connexion électrique 104 des groupes 104 qui leur sont respectivement associées. On obtient alors un assemblage connecté repéré d'une manière générale par la référence 111, comprenant la plaque commune de substrat 102 et les pastilles 103 connectées comme décrit ci-dessus.

Comme le montre la figure 6, l'étape suivante du procédé de fabrication décrit consiste à disposer l'assemblage 111 à l'intérieur d'un moule d'injection 112 comprenant une partie 113 qui présente une cavité 114 recevant dans son épaisseur la plaque commune de substrat 102 et une partie 115 qui présente quatre cavi-

tés 116 dans lesquelles s'étendent respectivement, à distance de ses parois, les pastilles 103 et les fils de connexion 105 correspondant des ensembles 108.

Cette étape consiste ensuite à injecter à l'intérieur de la cavité 116 une résine d'encapsulation des pastilles 103 et des fils de connexion 105 de façon à obtenir en une seule opération de moulage quatre enrobages 106 contre la face 102a de la plaque de substrat 102. On obtient alors un bloc sensiblement parallélépipédique repéré d'une manière générale par la référence 117, à multipastilles 103 associées dans les enrobages 106 à la plaque commune de substrat 102.

En se reportant à la figure 5, on voit que dans une étape ultérieure le procédé de fabrication décrit peut consister à déposer une goutte ou boule de connexion 107 sur chaque zone de connexion 104 de la face 102a de la plaque de substrat 102.

En se reportant à la figure 9, on voit que l'étape suivante du procédé de fabrication décrit consiste à fixer la face 106a de l'enrobage 106 du bloc parallélépipédique 107, opposée à la face 102a de la plaque commune de substrat 102 incluse dans ce bloc, sur un support plan 118 par l'intermédiaire d'une bande pelable 119 à deux faces autocollantes.

Puis, le procédé de fabrication décrit consiste à couper longitudinalement et transversalement le bloc parallélépipédique 107, dans le sens de son épaisseur, à l'aide d'une scie 120, le long des lignes de séparation longitudinales et transversales 121 et 122 s'étendant entre lesdits différents groupes 104 de zones de connexion électrique 104a auxquelles sont respectivement associées les pastilles 103. Au cours de cette opération, la scie 120 est engagée au travers du bloc parallélépipédique 107 au-delà de sa face 106a collée sur la bande 119 de manière à effectuer l'opération de découpe complètement.

Lorsque l'opération de découpe par sciage ci-dessus est effectuée, on peut alors décoller de la bande 119 les différents morceaux du bloc parallélépipédique 117, chacun de ces morceaux correspondant à un boîtier semi-conducteur 1 tel que décrit précédemment en référence aux figures 1 et 2.

Le procédé de fabrication qui vient d'être décrit présente l'avantage de pouvoir fabriquer dans un même moule adapté pour recevoir une plaque commune de substrat 102 déterminée, des boîtiers semi-conducteurs 1 de dimensions différentes.

En effet, sur différentes plaques communes de substrat 102, on peut prévoir des nombres différents de groupes 104 de zones de connexion électrique 104a couvrant des surfaces différents, adaptées en correspondance aux dimensions des pastilles 103 associées, en les disposant comme dans l'exemple décrit précédemment, selon des matrices adaptées aux surfaces que lesdits groupes de zones de connexion et lesdites pastilles occupent.

Il conviendra alors d'adapter uniquement les distances entre les différentes lignes 121 et 122 de découpe

aux surfaces afin d'obtenir des boîtiers semi-conducteurs dont le pourtour présente des dimensions souhaitées.

5

## Revendications

1. Procédé de fabrication de boîtiers semi-conducteurs (1) comprenant respectivement un substrat, une pastille formant un circuit intégré et fixée sur une zone du substrat, des moyens de connexion électrique reliant la pastille à un groupe de zones de connexion électrique extérieure situées sur une face du substrat, ainsi qu'un enrobage d'encapsulation, caractérisé par le fait qu'il consiste :
  - à réaliser de façon matricielle une multiplicité de groupes (104) de zones de connexion (104a) sur une plaque commune de substrat (102), correspondant à autant de zones (109) de fixation de pastilles, 10
  - à fixer une pastille (103) sur chaque zone (109) de fixation de la plaque commune de substrat, 15
  - à relier électriquement chaque pastille (103) aux zones (104a) de connexion électrique associées, de façon à obtenir un assemblage (111) plaque de substrat-pastilles connectés, 20

et qu'il consiste, dans une seconde étape : 25

  - à disposer cet assemblage (111) dans un moule (112) et à injecter une matière d'enrobage (106) dans le moule de façon à obtenir, en une seule opération de moulage, un bloc parallélépipédique (117) présentant d'un côté ledit substrat, 30
  - à déposer des billes ou boules (107) en matériau de soudage sur les zones de connexion (104a) du substrat (102) opposées à la matière d'enrobage moulée (106), 35
  - et à découper ledit bloc parallélépipédique (117) au travers de l'épaisseur dudit substrat (102) et de la matière d'enrobage (106) en unités constituant chacune un boîtier semi-conducteur (1). 40
2. Procédé selon la revendication 1, caractérisé par le fait qu'il consiste à réaliser la découpe dudit bloc parallélépipédique (117) par sciage (120). 45
3. Procédé selon l'une des revendications 1 et 2, caractérisé par le fait qu'il consiste à coller la face (106a) dudit bloc parallélépipédique (117) exempte de zones de connexion et opposée auxdites billes de connexion (107) sur une bande autocollante pe- 50  
lable (119) et à réaliser l'opération de sciage en engageant la scie (120) au travers du bloc (117) au- 55  
delà de sa face collée sur ladite bande (119).

FIG.1

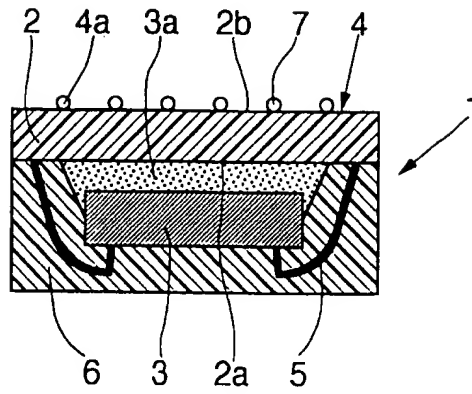
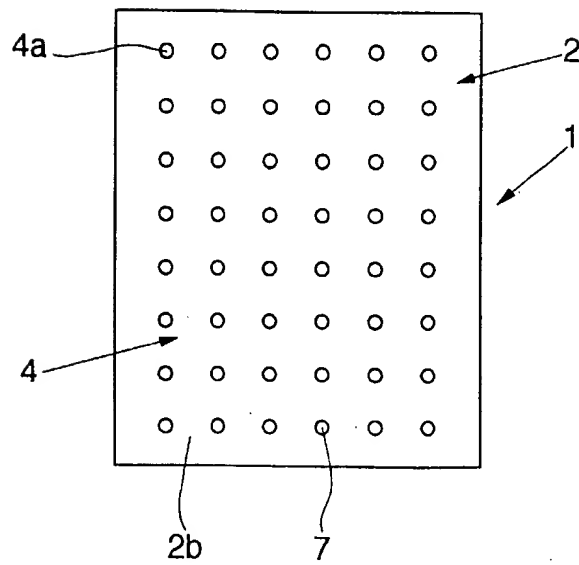
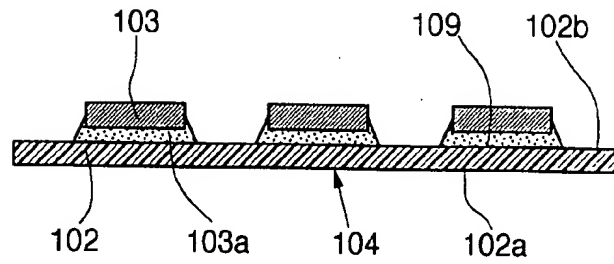


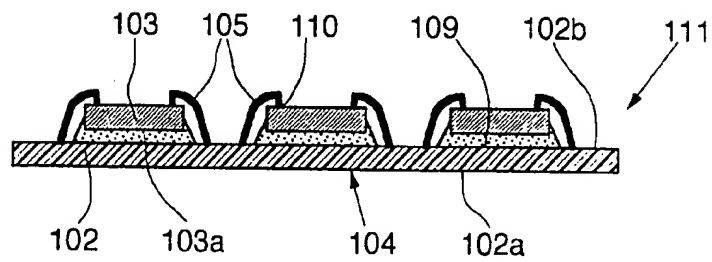
FIG.2



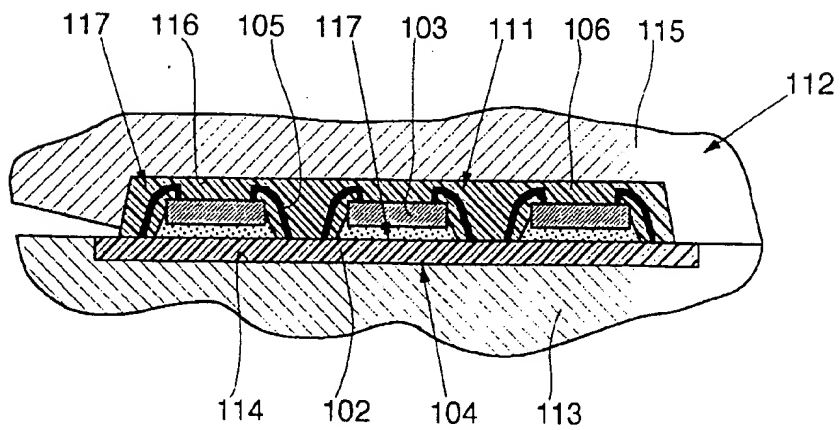
**FIG.3**



**FIG.5**

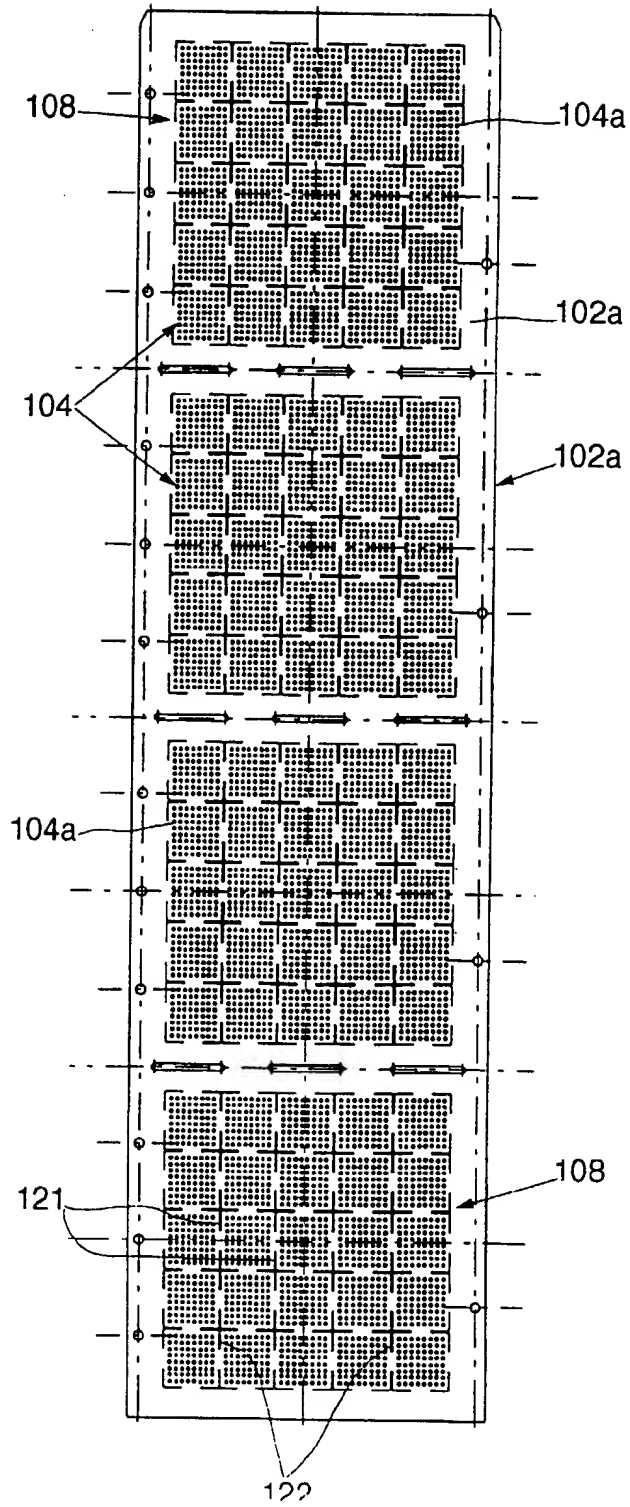


**FIG.6**

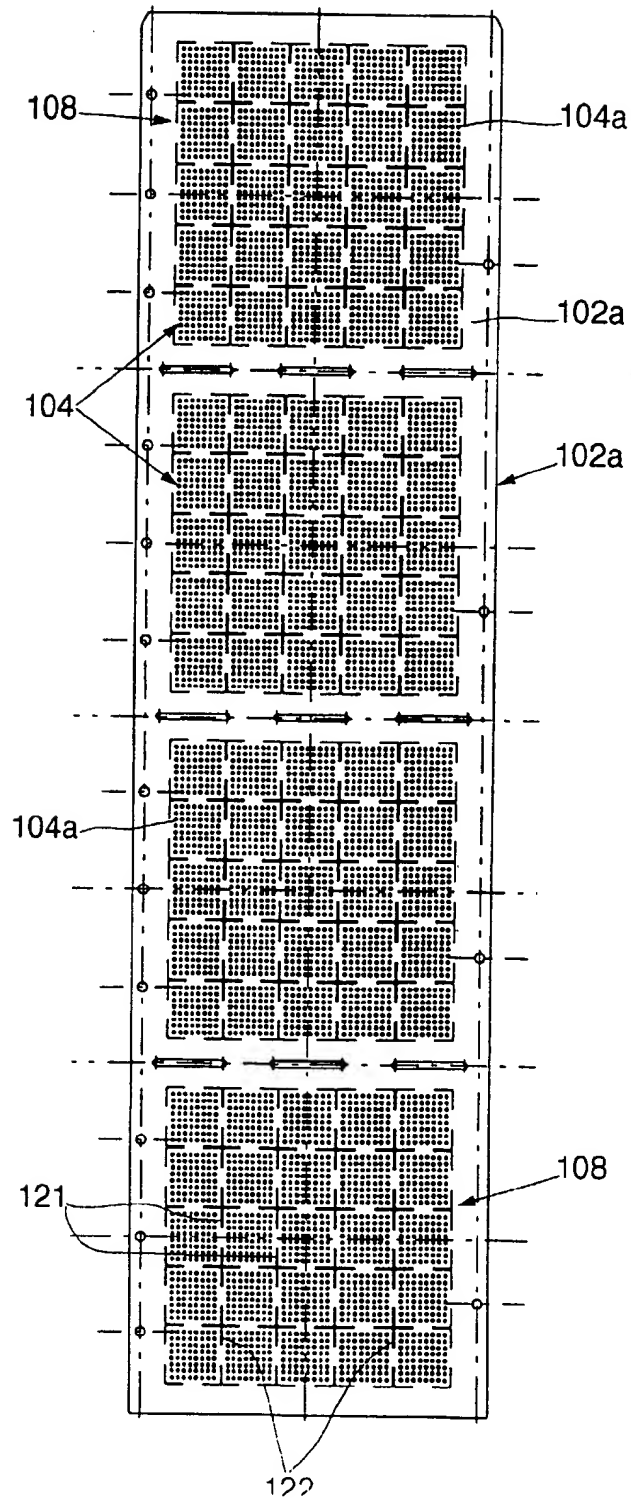




**FIG. 4**



**FIG.4**



**FIG.7**

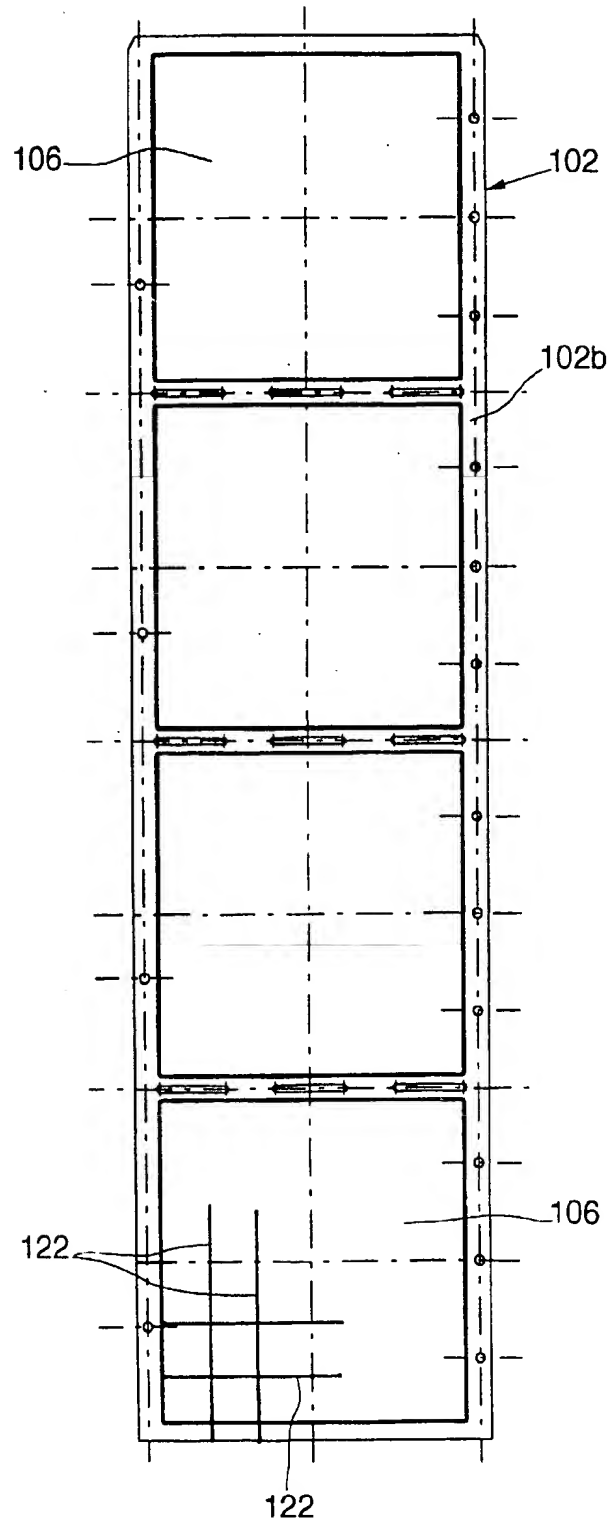


FIG.8

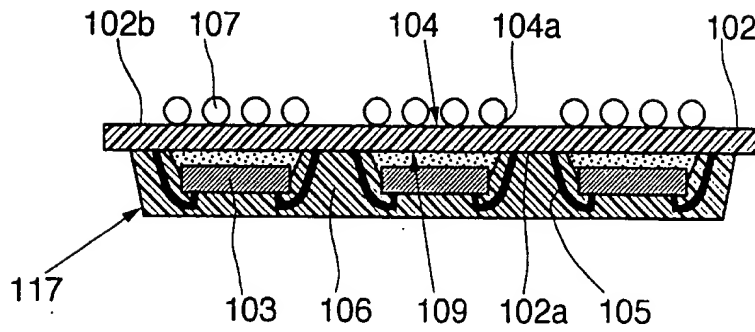
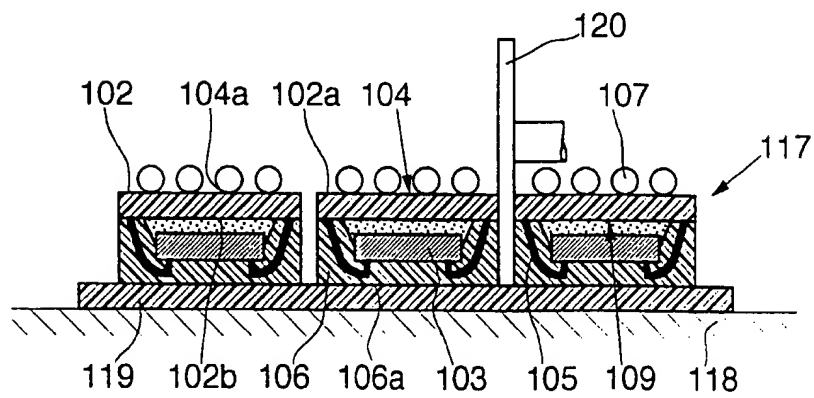


FIG.9



EP 0 883 171 A1



Office européen  
des brevets

RAPPORT DE RECHERCHE EUROPEENNE

Numéro de la demande

EP 98 40 1318

DOCUMENTS CONSIDERES COMME PERTINENTS			
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	Revendication concernée	CLASSEMENT DE LA DEMANDE (Int.Cl.6)
X	EP 0 751 561 A (HITACHI CHEMICAL CO LTD) 2 janvier 1997	1,2	H01L21/56
A	* page 14, ligne 15 - ligne 51; figures 19,20,22 * * page 15, ligne 41 - page 16, ligne 16 *	3	
X	PATENT ABSTRACTS OF JAPAN vol. 097, no. 006, 30 juin 1997 -& JP 09 036151 A (JAPAN AVIATION ELECTRON IND LTD), 7 février 1997 * abrégé *	1,2	
A	PATENT ABSTRACTS OF JAPAN vol. 097, no. 007, 31 juillet 1997 -& JP 09 082741 A (SEIKO EPSON CORP), 28 mars 1997 * le document en entier *	1-3	
A	DE 36 19 636 A (BOSCH GMBH ROBERT) 17 décembre 1987 * le document en entier *	1,2	DOMAINES TECHNIQUES RECHERCHES (Int.Cl.6)
			H01L
Le présent rapport a été établi pour toutes les revendications			
Lieu de la recherche LA HAYE		Date d'achèvement de la recherche 31 août 1998	Examineur Zeisler, P
<p>CATÉGORIE DES DOCUMENTS CITES</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet antérieur, mais publié à la date de dépôt ou après cette date D : cité dans la demande L : cité pour d'autres raisons &amp; : membre de la même famille, document correspondant</p>			

EPO FORM 1503 03 82 (P04C02)